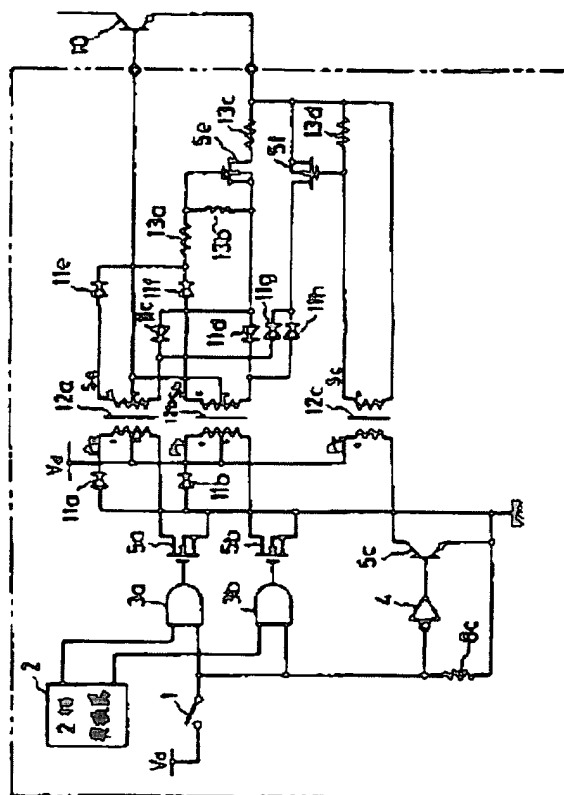


<b>Patent number:</b>	JP60014519
<b>Publication date:</b>	1985-01-25
<b>Inventor:</b>	YUZURIHARA ITSUO
<b>Applicant:</b>	KIYOUSAN SEISAKUSHO:KK
<b>Classification:</b>	
- international:	H03K17/04; H02M3/335
- european:	
<b>Application number:</b>	JP19830121385 19830704
<b>Priority number(s):</b>	

 US4605865 (A1)

**PURPOSE:** To make a power source for a reverse bias unnecessary and enhance the efficiency of a reverse bias current when a reverse bias supplying transistor TR is turned on, by providing two FETs, which supply a forward bias and the reverse bias, and a diode which regenerates an exciting energy as a power source.

CONSTITUTION:When an operation switch 1 is turned on, the outputs of gates 3a and 3b transmit square wave voltages to the outputs of transformers 12 and 12b through FETs 5a and 5b. Rectified outputs of transformer outputs are applied to an FET 5e as a forward bias, and a forward bias current is supplied to a TR 10. In this state, the exciting energy stored in the on-cycle section of transformers is regenerated as a power source Vd through a diode 11a or 11b in the off-cycle section. When the switch 1 is turned off, an FET 5f is turned on, and the exciting energy of transformers 12a and 12b passes a diode 11g or 11h and the FET 5f to supply a large base reverse bias current to the TR10. All of the exciting energy is supplied to the TR10 even if the FET 5e is turned on at this time. After sweeping of the stored carrier of the TR10 is terminated, the remaining exciting energy is regenerated as the power source Vd through the diode 11a or 11b.



Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公告

⑫ 特 許 公 報 (B 2)

平3-36332

⑬ Int. Cl.<sup>8</sup>

H 03 K 17/04  
17/81

識別記号

B

庁内整理番号

8124-5 J

⑭ 公告 平成3年(1991)5月31日

8124-5 J H 03 K 17/60

D

発明の頁 1 (全5頁)

⑮ 発明の名称 トランジスタインバータのベース駆動装置

Application No.

⑯ 特 願 昭58-121385

⑰ 出 願 昭58(1983)7月4日

Application Laid-Open (JPA) No. (KOKAI)

⑱ 公 開 昭60-14519

⑲ 昭60(1985)1月25日

⑳ 発 明 者 設 原 逸 男 神奈川県座間市ひばりが丘1-5553-6

㉑ 出 願 人 株式会社京三製作所 神奈川県横浜市鶴見区平安町2丁目29番地の1

㉒ 代 理 人 弁理士 山川 政樹

審 査 官 石 井 研 一

1

2

### ㉓ 特許請求の範囲

1 ベース順バイアス指令に基づいて入力電源側から電源が供給される空隙付き変圧器と、前記入力電源側と電気的に絶縁されかつ前記変圧器の2次電圧でオンしパワートランジスタのベースに順バイアスを供給する第1の電界効果トランジスタと、前記入力電源側と電気的に絶縁されかつベース逆バイアス指令に基づいてオンし前記変圧器に蓄えた励磁エネルギーを前記パワートランジスタのベースに逆バイアス電流として供給する第2の電界効果トランジスタと、前記パワートランジスタの蓄積キャリア掃後の前記変圧器の励磁エネルギーおよびベース順バイアス指令時に蓄えられた励磁エネルギーを電源に回生させるために該変圧器の1次側に挿入されたダイオードとを備えたことを特徴とするトランジスタインバータのベース駆動装置。

### 発明の詳細な説明

#### 〔発明の技術分野〕

本発明はパルス幅変調(PWM)インバータなどに使用されるパワートランジスタのベース駆動装置に関するものである。

#### 〔従来技術〕

パワートランジスタを高速でスイッチング動作させるためには、そのパワートランジスタの高速遮断方法が重要である。そして、高速遮断するためには、大電流のベース逆バイアス電流を流し、パワートランジスタ内部の蓄積キャリアを早急に

一掃させる必要がある。

従来のこの種のトランジスタインバータのベース駆動装置の一例を第1図に示し説明すると、図において、2点鎖線で囲んだ部分がパワートランジスタのベース駆動回路である。

1は入力側が電源Vdに接続された順バイアスまた逆バイアス指令の運転スイッチ、2は2相発振器、3a、3bはそれぞれ運転スイッチ1の出力と2相発振器2の出力を入力としこれら両入力5の論理積をとる2入力のアンドゲート、4は運転スイッチ1の出力を反転するインバータ、5a、5bはそれぞれアンドゲート3a、3bの出力がベースに印加されるトランジスタで、そのトランジスタ5aのコレクタは変圧器6aの1次巻線を介して電源Vdに接続され、トランジスタ5bのコレクタは変圧器6bの1次巻線を介して電源Vdに接続され、これら各トランジスタ5a、5bのエミッタは共通接続され、その接続点は接地されている。また、インバータ4の反転出力がベースに印加されるトランジスタ5cのコレクタは変圧器6cの1次巻線を介して電源Vdに接続され、エミッタは接地されている。

7a、7bはダイオード、8a~8cは抵抗、9は逆バイアス電圧源、10はパワートランジスタである。そして、パワートランジスタ10のベースは逆バイアス電圧源9の負極側に接続されると共に変圧器6aおよび変圧器6bの各2次巻線を介してそれぞれダイオード7a、7bのカソード

3

D側に接続され、エミッタは抵抗8 aを介してダイオード7 a、7 bの各アノード側に接続されている。また、トランジスタ5 dのコレクタは逆バイアス電圧源9の正極側に接続され、ベースは抵抗8 bと変圧器8 cの2次巻線を直列に介してエミッタに接続され、このエミッタはパワートランジスタ10のエミッタに接続されている。そして、抵抗8 cは遅延スイッチ1とインバータ4の接続点と接地間に挿入されている。

このように構成された回路において、まず、遅延スイッチ1を“オン”すると、アンドゲート3 a、3 bは遅延スイッチ1のオン出力と2相発振器2の出力の論理積をとり、それぞれ出力される。

そして、遅延スイッチ1のオン区間はアンドゲート3 a、3 bの出力からトランジスタ5 a、5 bを通してそれぞれ変圧器8 a、8 bの出力に断続(チョッパ)された方形波電圧を送出し、この方形波電圧をダイオード7 a、7 bでそれぞれ整流し、抵抗8 aを通してパワートランジスタ10のベース・エミッタ間に順バイアス電流が供給される。

つぎに、遅延スイッチ1を“オフ”すると、前述の“オン”の場合と逆動作となり、アンドゲート5 a、5 bのゲートは閉じられて“オフ”し、パワートランジスタ10のベースにバイアスの供給が断たれると共に、インバータ4は遅延スイッチ1からのオフ出力を反転して出力し、この反転出力によってトランジスタ5 cはオン状態に移行し、これに伴って変圧器8 cおよび抵抗8 bを通してトランジスタ5 dが“オン”となる。その結果、逆バイアス電圧源9から逆バイアス電流 $I_b$ がパワートランジスタ10のベース・エミッタ間に供給される。

このようにして、第1図に示す回路においては、パワートランジスタ10の高速遮断するために、トランジスタ5 dをオンし、大電流の逆バイアス電流 $I_b$ を流しているが、この場合、遅延スイッチ1を“オフ”しても、トランジスタ5 a、5 bの蓄積時間の間、変圧器8 a、8 bは出力電圧を持続し、かつトランジスタ5 dがオンしているため、逆バイアス電圧源9としては過大な電力を供給する必要が生じるという欠点がある。

また、トランジスタ5 a、5 bの蓄積時間が終

4

了しても逆バイアス電圧源9から供給される電流 $I_b$ は逆バイアス電流 $I_a$ と逆バイアス電流 $I_a$ に分流し、その分逆バイアス電圧源9の電力は増大するという欠点がある。

したがって、このような電力の増大を改善するためには、トランジスタ5 a、5 bに逆バイアス電流を流し、蓄積時間を可能な限り短かくし、かつ遅延スイッチ1の“オフ”区間は逆バイアス電流 $I_a$ を流さないよう、抵抗8 aを低抵抗から高抵抗に切替える必要がある。

一方、近年、パワートランジスタの大容量化に伴い、ベース駆動装置は、高効率で高速スイッチング(高速遮断)動作でき、かつ構成の簡素化された回路の実現が要望されている。

【発明の目的および構成】

本発明は以上の点に鑑み、このような問題を解決すると共にかかる欠点を除去し、かつ上述の要請を満足すべくなされたもので、その目的は変圧器で絶縁されたパワートランジスタの周辺に逆バイアス電圧用の電源を必要とせず、また、逆バイアス電流を供給するトランジスタがオン時の逆バイアス電流を効率よく利用することができるトランジスタインバータのベース駆動装置を提供することにある。

このような目的を達成するため、本発明はベース順バイアス指令に基づいて入力電源側から電源が供給される空隙付き変圧器と、上記入力電源側と電気的に絶縁されかつ上記変圧器の2次電圧でオンしパワートランジスタのベースに順バイアスを供給する第1の電界効果トランジスタと、上記入力電源側と電気的に絶縁されかつベース逆バイアス指令に基づいてオンし上記変圧器に蓄えた励磁エネルギーを上記パワートランジスタのベースに逆バイアス電流として供給する第2の電界効果トランジスタと、上記パワートランジスタの蓄積キヤリアー掃後の上記変圧器の励磁エネルギーおよびベース順バイアス指令時に蓄えられた励磁エネルギーを電源に回生させるために該変圧器の1次側に挿入されたダイオードとを備えるようにしたものである。

【実施例】

以下、図面に基づき本発明の実施例を詳細に説明する。

第2図は本発明によるトランジスタインバータ

5

のベース駆動装置の一実施例を示す構成図で、説明に必要な部分のみを示す。

この第2図において第1図と同一符号のものは相当部分を示し、トランジスタ5a, 5bは5e, 5fとともにMOS形電界効果トランジスタ(以下、FETと略称する)によつて構成されている。ここで、このFET5eは入力電源側と電気的に絶縁され、ベース順バイアス指令に基づいて後述する変圧器の2次電圧で“オン”しパワートランジスタ10のベースに順バイアスを供給するトランジスタであり、また、FET5fは入力電源側と電気的に絶縁され、ベース逆バイアス指令に基づいて“オン”し上記変圧器に蓄えた励磁エネルギーをパワートランジスタ10のベースに逆バイアス電流として供給するトランジスタである。

11a~11hはダイオード、12a, 12bは空際付きの変圧器、12cは変圧器、13a~13dは抵抗である。ここで、上記ダイオード11a, 11bはパワートランジスタ10の蓄積キャリアー掃後の励磁エネルギーおよびベース順バイアス指令時に蓄えられた励磁エネルギーを電源Vdに回生させるためのダイオード、ダイオード11c~11fは整流用のダイオードであり、また、変圧器12a, 12bはベース順バイアス指令に基づいて入力電源側からの電源が供給される空際付き変圧器である。

そして、FET5aのゲートはアンドゲート3aの出力端に接続され、ドレインは変圧器12aの1次巻線Paとダイオード11aを直列に介して接地され、また、FET5bのゲートはアンドゲート3bの出力端に接続され、ドレインは変圧器12bの1次巻線Pbとダイオード11bを直列に介して接地され、これら各FET5a, 5bのソースは接地されている。この各変圧器12a, 12bの1次巻線Pa, Pbの中間タップは電源Vdに接続されている。また、変圧器12aの2次巻線Saの一端は順方向接続のダイオード11eと抵抗13aを直列に介してFET5eのゲートに接続され、この変圧器12aの2次巻線Saの他端は逆方向接続のダイオード11cを介してFET5eのソースに接続されると共に、順方向接続のダイオード11gを介してFET5fのドレインに接続され、また、変圧器12bの2

6

次巻線Sbの一端は順方向接続のダイオード11fと抵抗13aを直列に介してFET5eのゲートに接続され、この変圧器12bの2次巻線Sbの他端は逆方向接続のダイオード11dを介してFET5eのソースに接続されると共に、順方向接続のダイオード11hを介してFET5fのドレインに接続されている。また、これら各変圧器12a, 12bの2次巻線Sa, Sbの中間タップは共通接続され、その接続点はパワートランジスタ10のベースに接続されている。

そして、FET5eのドレインは抵抗13cを介してパワートランジスタ10のエミッタに接続され、ソースは抵抗13bを介してゲートに接続されている。また、FET5fのゲートは変圧器12cの2次巻線Scの一端に接続されると共に、抵抗13dを介してパワートランジスタ10のエミッタに接続され、ソースはパワートランジスタ10のエミッタに接続され、変圧器12cの2次巻線Scの他端はパワートランジスタ10のエミッタに接続されている。

つぎにこの第2図に示す実施例の動作を説明する。

まず、遅延スイッチ1を“オン”すると、アンドゲート3a, 3bはそれぞれその遅延スイッチ1の出力と2相発振器2の出力との論理積をとり出力される。そして、このアンドゲート3a, 3bの出力からそれぞれFET5a, 5bを通しそれぞれ変圧器12a, 12bの出力にチョツパされた方形波電圧を送出する。このとき、この変圧器12a, 12bは励磁エネルギーを十分に蓄積されるような構造のものとする。そして、この変圧器12a, 12bの各出力をダイオード11c~11fでそれぞれ整流し、その整流出力を抵抗13aを通してFET5eのゲートに順バイアス電圧として印加し、このFET5eを“オン”させると、抵抗13cを介してパワートランジスタ10に順バイアス電流が供給される。

この動作状態、すなわち、遅延スイッチ1の“オン”区間において、チョツパ動作中の変圧器12a, 12bのオンサイクル区間ごとに蓄えられた励磁エネルギーは、チョツパ動作中の変圧器12a, 12bのオフサイクル区間ごとにダイオード11aまたはダイオード11bを通し電源Vdに回生させる。

7

つぎに、遅延スイッチ1を“オフ”すると、前述の“オン”の場合と逆動作でFET 5 a, 5 bが“オフ”すると共に、インバータ4は遅延スイッチ1の出力を反転し、その反転出力によつてトランジスタ5 cはオンの状態に移行し、変圧器12 cを適してFET 5 fのゲートに順バイアス電圧が印加され、このFET 5 fがオンする。

このとき、変圧器12 a, 12 bに蓄えられた励磁エネルギーはダイオード11 gまたはダイオード11 hを適し、さらに、FET 5 fを適して10に大電流のベース逆バイアス電流が供給される。一方、このとき、FET 5 eの残存キャリアの間このFET 5 eが“オン”していても、ダイオード11 c~11 fは逆バイアスされているのでFET 5 eを通る電流はなく、励磁エネルギーは効率よくすべてパワートランジスタ10のベースへ供給される。

そして、パワートランジスタ10の蓄積キャリアを一掃し換えると、残存の励磁エネルギーはダイオード11 aまたはダイオード11 bを通し電源Vdに回生される。すなわち、パワートランジスタ10のベース逆バイアス電圧許容値に変圧器12 a, 12 bの2次電圧を選定すれば、蓄積キャリアが一掃されたときに相対的電位差が大となる1次側へ励磁エネルギーが放出され、ダイオード11 aあるいはダイオード11 bを通して電源Vdに回生される。

このように、FETの採用により、FET 5 a,

8

5 bの蓄積時間の影響は十分に無視することができ、しかも変圧器12 a~12 cで入力電源と絶縁されたパワートランジスタ10のベース周辺に逆バイアス電圧用の電源を必要とせず、かつ順バイアス供給用のスイッチとしてFET 5 eを導入することにより、FET 5 fがオン時の逆バイアス電流を効率よく利用することができる。

〔発明の効果〕

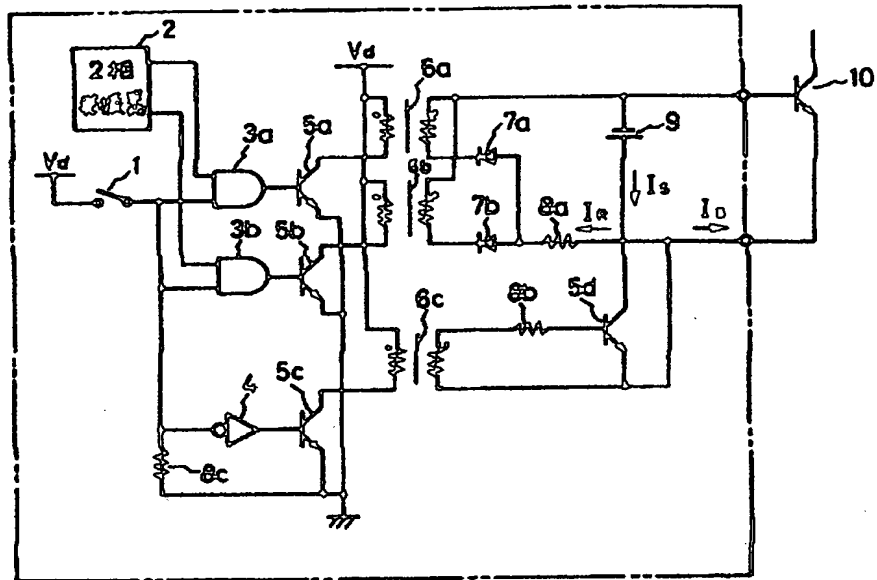
以上説明したように、本発明によれば、従来のようなパワートランジスタの周辺に逆バイアス電圧用の電源を設けるなどの複雑な手段を用いることなく、簡単な回路構成によつて、蓄積時間の影響を実用上無視することができ、また、順バイアス供給用のスイッチとして電界効果トランジスタを導入することにより逆バイアス供給用の電界効果トランジスタがオン時の逆バイアス電流を効率よく利用することができるので、実用上の効果は極めて大である。

図面の簡単な説明

第1図は従来のトランジスタインバータのベース駆動装置の一例を示す構成図、第2図は本発明によるトランジスタインバータのベース駆動装置の一実施例を示す構成図である。

1……遅延スイッチ、5 e, 5 f……FET(電界効果トランジスタ)、10……パワートランジスタ、11 a, 11 b……ダイオード、12 a~12 c……変圧器。

第 1 図



第 2 図

